

MENU

SEARCH

INDEX

DETAIL

JAPANESE

LEGAL  
STATUS

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-096992

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

H01G 4/12  
H01F 17/00  
H01G 1/147  
H05K 3/46  
// H01G 13/00

(21)Application number : 05-174395

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 14.07.1993

(72)Inventor : SAKAI NORIO  
KUBOTA KENJI  
KAWABATA SHOICHI

(30)Priority

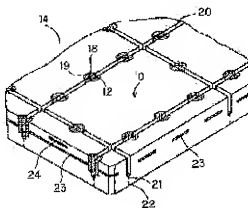
Priority number : 04199795 Priority date : 27.07.1992 Priority country : JP

**(54) MULTILAYER ELECTRONIC COMPONENT, PRODUCTION METHOD THEREOF, AND CHARACTERISTICS MEASURING METHOD THEREFOR**

(57)Abstract:

PURPOSE: To make fine the arranging pitch without requiring any special step for providing an external electrode.

CONSTITUTION: In a mother laminate 14 where a plurality of insulating sheets are laminated through conductive films 23, 24, via holes 19 filled with conductive material 18 are provided at positions being separated through cutting. The conductive material 18 provides an external electrode 12 for individual multilayer electronic component 10 obtained through cutting of the mother laminate 14. This constitution allows efficient measurement of characteristics of individual multilayer electronic components under the state of mother laminate without requiring any special step for forming the external electrode 12.





特開平6-96992

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G 4/12	3 6 4			
H 0 1 F 17/00		D 7129-5E		
H 0 1 G 1/147		A 9174-5E		
H 0 5 K 3/46		N 6921-4E		
// H 0 1 G 13/00	3 9 1 B	9174-5E		

審査請求 未請求 請求項の数14(全 9 頁)

(21)出願番号	特願平5-174395	(71)出願人	000006231 株式会社村田製作所
(22)出願日	平成5年(1993)7月14日		京都府長岡京市天神二丁目26番10号
(31)優先権主張番号	特願平4-199795	(72)発明者	酒井 範夫 京都府長岡京市天神二丁目26番10号 株式 会社村田製作所内
(32)優先日	平4(1992)7月27日	(72)発明者	窪田 憲二 京都府長岡京市天神二丁目26番10号 株式 会社村田製作所内
(33)優先権主張国	日本(J P)	(72)発明者	川端 章一 京都府長岡京市天神二丁目26番10号 株式 会社村田製作所内
		(74)代理人	弁理士 深見 久郎 (外2名)

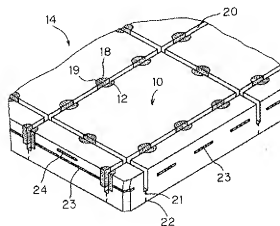
(54)【発明の名称】 積層電子部品、その製造方法およびその特性測定方法

(57)【要約】

【目的】 外部電極の配置ピッチを細かくできる積層電子部品を提供する。

【構成】 導電板23、24を介在させた状態で複数の絶縁性シートが積層されてなるマザー積層体14において、切断によって分断される位置に導電材18が充填されたピアホール19を設ける。この導電材18は、マザー積層体14を切断して得られた個々の積層電子部品10の外部電極12となる。

【効果】 外部電極12の形成のための特別な工程が不要で、マザー積層体の状態で、個々の積層電子部品の特性測定を能率的に行なうことができる。





#### 【特許請求の範囲】

【請求項1】 内部回路要素を介在させた状態で複数の絶縁性シートが積層されてなるものであって、相対向する第1および第2の主面とこれら主面間を連結する側面を備える積層体、ならびに前記内部回路要素に電気的に接続されかつ前記積層体の外表面に形成された外部電極を備え、

前記外部電極は、前記絶縁性シートに設けられかつ導電材が付与されたビアホールとの少なくとも側部を前記絶縁性シートの切断によって露出させることによって形成されたものである、積層電子部品。

【請求項2】 前記導電材は、前記ビアホール内に充填される、請求項1に記載の積層電子部品。

【請求項3】 前記導電材は、前記ビアホールの内周面上に層状に形成される、請求項1に記載の積層電子部品。

【請求項4】 前記積層体は、前記主面と平行に延びる境界面によって前記第1の主側の第1の半部および前記第2の主側の第2の半部に区分され、前記外部電極は、前記第1の半部においてのみ露出する、請求項1ないし3のいずれかに記載の積層電子部品。

【請求項5】 前記積層体の第2の主面上に形成される第2の電子部品をさらに備える、請求項4に記載の積層電子部品。

【請求項6】 前記積層体の側面には、前記第1の半部と前記第2の半部との境界面の位置に対応して段差が形成される、請求項4または5に記載の積層電子部品。

【請求項7】 前記第2の電子部品を覆うように前記積層体に装着されるケースをさらに備える、請求項5に記載の積層電子部品。

【請求項8】 前記外部電極は、前記積層体の前記側面および前記第1の主面において露出する、請求項4ないし7のいずれかに記載の積層電子部品。

【請求項9】 前記外部電極は、前記積層体の前記側面においてのみ露出する、請求項4ないし7のいずれかに記載の積層電子部品。

【請求項10】 所定の切断線に沿って切断することによって複数の積層電子部品が得られるものであって、前記切断線によって区画される各領域に個々の前記積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなり、かつ前記内部回路要素に電気的に接続される導電材が付与されたビアホールが前記切断線に沿う切断によって切断面に露出する位置に設けられた、マザー積層体を準備し、前記マザー積層体を前記切断線に沿って切断する、各ステップを備える、積層電子部品の製造方法。

【請求項11】 前記マザー積層体を切断するステップは、前記ビアホールを切断面に露出させるように前記マザー積層体に溝を形成するステップと、前記溝が形成さ

れた前記マザー積層体を前記溝の位置において分割するステップとを備える、請求項10に記載の積層電子部品の製造方法。

【請求項12】 前記マザー絶縁性シートはセラミックグリーンシートであり、前記マザー積層体を焼成するステップをさらに備える、請求項10または11に記載の積層電子部品の製造方法。

【請求項13】 所定の切断線に沿って切断することによって複数の積層電子部品が得られるものであって、前記切断線によって区画される各領域に個々の前記積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなり、かつ前記内部回路要素に電気的に接続される導電材が付与されたビアホールが前記切断線に沿う切断によって切断面に露出する位置に設けられた、マザー積層体を準備し、

前記切断線に沿って前記マザー積層体に溝を形成し、それによって少なくとも前記ビアホールを前記溝の内側面に露出させ、

前記溝の内側面に露出する状態となった前記ビアホールを外部電極として個々の積層電子部品の特性を測定する、

各ステップを備える、積層電子部品の特性測定方法。

【請求項14】 所定の切断線に沿って切断することによって複数の積層電子部品が得られるものであって、前記切断線によって区画される各領域に個々の前記積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなり、かつ前記内部回路要素に電気的に接続される導電材が付与されたビアホールが前記切断線に沿う切断によって切断面に露出する位置に設けられた、マザー積層体を備え、

前記マザー積層体には、前記切断線に沿って溝が形成され、それによって少なくとも前記ビアホールが前記溝の内側面に露出された、積層電子部品の集合体。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】 この発明は、内部回路要素を内部に配置した積層電子部品、その製造方法およびその特性測定方法に関するもので、特に、積層電子部品における外部電極の形成態様の改良に関するものである。

##### 【0002】

【従来の技術】 たとえば、積層コンデンサ、積層インダクタ、多層回路基板、多層複合電子部品で代表される積層電子部品は、導電膜および/または抵抗膜のような内部回路要素を介在させた状態で複数の絶縁性シートが積層されてなる積層体を備える。絶縁性シートとしては、典型的には、セラミックシートが用いられる。

##### 【0003】

図15は、従来の積層電子部品の1の外観を示す斜視図である。積層電子部品1は、内部回路要素



(図示せず)を介在させた状態で複数の絶縁性シートが積層されてなる積層体2を備える。積層体2のたとえば4つの側面には、それぞれ、外部電極3が形成される。これら外部電極3は、積層体2の内部に位置する内部回路要素と電気的に接続される。外部電極3は、適当な金属ペーストを、積層体2の各側面の特定の箇所に付与することにより形成されるが、このとき、積層体2の上下面にも、必然的に、外部電極3の一部が周囲に延びるようになる。

【0004】図16は、従来の他の形式の積層電子部品4の外観を示す斜視図である。この積層電子部品4も、内部回路要素(図示せず)を介在させた状態で複数の絶縁性シートが積層されてなる積層体5を備える。積層体5のたとえば4つの側面には、内部回路要素に電気的に接続された外部電極6が形成される。これら外部電極6は、図16において想像線で示すように、スルーホール7を分割することによって与えられる。すなわち、所定の切断線に沿って切断することにより複数の積層電子部品4が得られるように用意されたマザー積層体において、スルーホール7を形成し、その内周面上に外部電極6となる導電膜を形成した後、このマザー積層体が、スルーホール7を分割するように切断される。このような積層電子部品4にあっても、外部電極6となすべき導電膜の形成方法に起因して、外部電極6の一部は、積層体5の上下面にまで周方向に延びる。

【0005】これら積層電子部品1および4は、チップ状の形態で、外部電極3および6を介して適宜の回路基板上に表面実装される。

【0006】【発明が解決しようとする課題】しかしながら、上述した積層電子部品1および4のいずれにおいても、外部電極3および6は、積層体2および5の上下面にまで延びるように形成される。そのため、このような積層電子部品1および4の上下面あるいは上下いずれかの面に、別の部品を実装して複合化を図ろうとする場合、このような別の部品の配置可能な面積が制約される。

【0007】また、外部電極3および6の、積層体2および5の上下面にまで延びる部分は、外部電極3および6の配置ピッチを細かくすることを妨げる。また、外部電極3および6のこのような上下面に延びる部分は、一定の寸法および形状とするのが比較的困難であるので、このことも、外部電極3および6の配置ピッチを細かくすることを妨げる。

【0008】また、特に図16に示した積層電子部品4の場合、スルーホール7は、ドリルによって与えられるが、そのときの直径は、0.3mmより小さくすることが困難であるため、このことも、また、外部電極6の配置ピッチに制約を与える。また、スルーホール7を形成するためのドリルの寿命が比較的短く、それによって、コストの増大を招いている。

【0009】また、図15に示した積層電子部品1の場合、積層体2の4つの側面にそれぞれ外部電極3を形成するため、少なくとも、金属ペーストの付与を、4つの側面のそれぞれについて別々に行う必要がある。その結果、外部電極3の形成のための工程数が多くなってしまふ。

【0010】また、積層電子部品1および4は、少なくとも出荷する前に、その特性を測定しなければならない。しかしながら、積層電子部品1および4は、いずれも、原則として、チップの状態としてからでない、特性を測定することができない。すなわち、図15に示した積層電子部品1では、外部電極3を形成した後、特性の測定が可能となる。また、図16に示した積層電子部品4にあっても、マザー積層体の段階では、個々の積層電子部品4の特性を測定することができず、スルーホール7を分割するようにマザー積層体を切断した後、初めて特性の測定が可能となる。

【0011】それゆえに、この発明の目的は、外部電極の配置ピッチを細かくできる積層電子部品およびその製造方法を提供しようとすることである。

【0012】この発明の他の目的は、複数の積層電子部品の特性測定を能率的に行うことができる特性測定方法を提供しようとすることである。

【0013】

【課題を解決するための手段】この発明による積層電子部品は、内部回路要素を介在させた状態で複数の絶縁性シートが積層されてなる積層体、および内部回路要素に電気的に接続されかつ積層体の外表面に形成された外部電極を備え、外部電極が、絶縁性シートに設けられかつ導電材が付与されたビアホールを少なくとも側部を絶縁性シートの切断によって露出させることによって形成されたものであることを特徴としている。

【0014】この発明による積層電子部品の製造方法は、所定の切断線に沿って切断することによって複数の積層電子部品が得られるものであって、切断線によって区画される各領域に個々の積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなり、かつ内部回路要素に電気的に接続される導電材が付与されたビアホールが切断線に沿う切断によって切断面に露出する位置に設けられた、マザー積層体を準備するステップと、マザー積層体を切断線に沿って切断するステップとを備えている。

【0015】この発明による積層電子部品の特性測定方法は、所定の切断線に沿って切断することによって複数の積層電子部品が得られるものであって、切断線によって区画される各領域に個々の積層電子部品のための内部回路要素を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シートが積層されてなり、かつ内部回路要素に電気的に接続される導電材が



付与されたビアホールが切斷線に沿う切斷によって切斷面に露出する位置に設けられた、マザー積層体を準備するステップと、切斷線に沿ってマザー積層体に溝を形成し、それによって少なくともビアホールを溝の内側面に露出させるステップと、溝の内側面に露出する状態となったビアホールを外部電極として個々の積層電子部品の特性を測定するステップとを備えている。

【0016】上述した特性測定方法において与えられた積層電子部品の形態、すなわち、溝が形成されたマザー積層体からなる積層電子部品の集合体は、そのまま、出荷時の形態とすることもできる。

【0017】

【発明の作用および効果】この発明に係る積層電子部品によれば、導電材が付与されたビアホールを少なくとも側部を露出させることにより外部電極が与えられる。この場合、ビアホールは、ドリルを用いることなく、パンチングにより小さい径のものを容易に設けることができるので、外部電極の配置ピッチを細かくすることができる。また、ドリルを使用する必要がないため、ドリルの寿命に起因するコストの増大を避けることができる。

【0018】また、ビアホールによる外部電極は、積層体の少なくとも一方の主面にまで周方向に延びるような形成態様を必要としないので、この積層体の少なくとも一方の主面を、複合化のための他の部品の実装面として広く利用することができる。そのため、部品実装の高密度化を図ることができる。

【0019】また、外部電極が、ビアホールに付与された導電材によって与えられるので、特に、ビアホールを満たすように導電材を充填すれば、その膜厚に相当する寸法を比較的大きくすることができる。したがって、積層電子部品を回路基板上に半田付けするとき、半田食われの問題を低減できる。また、外部電極となる導電材は、ビアホールの一部内に埋め込まれているため、半田付けの強度を高めることができる。

【0020】次に、この発明に係る積層電子部品の製造方法によれば、外部電極となるべき導電材が付与されたビアホールがマザー積層体内に既に設けられており、このマザー積層体と一体化されたまま、導電材が露出して外部電極となるので、外部電極を設けるための特別な工程が不要となる。

【0021】さらに、この発明に係る積層電子部品の特性測定方法によれば、溝を形成することにより、複数の積層電子部品が、電気的に互いに独立した状態で、マザー積層体として機械的に一体化されたまま、個々の積層電子部品の特性を測定することができる。したがって、機械的に独立した積層電子部品を取り扱う必要がなく、たとえばスクリーニングすることにより、率効的に多数の積層電子部品の特性を測定することができる。

【0022】また、上述した特性測定を実施するための形態である、溝が形成されたマザー積層体からなる積層

電子部品の集合体を、そのまま、出荷時の形態とすれば、需要側において、マザー積層体を溝に沿って分割するだけで、そこから個々の積層電子部品を取出すことができる。この場合、個々の積層電子部品は、その特性測定を既に終えておくことができるので、問題なく実装に供することができるとともに、積層電子部品の集合体は、個々の積層電子部品がばらばらの状態にある場合に比べて、その梱包および取扱いが容易である点に注目すべきである。

【0023】

【実施例】図1は、この発明の一実施例による積層電子部品10の外観を示す斜視図である。積層電子部品10は、図示したチップ状の形態で適宜の回路基板上に実装されるが、図1では、このような回路基板側に向けられる面を上方に向けた状態で、積層電子部品10が図示されている。

【0024】積層電子部品10は、内部回路要素（図示せず）を介在させた状態で複数の絶縁性シートが積層されてなる積層体11を備える。積層体11のたとえば4つの側面の各々には、積層体11の外表面に露出する外部電極12が形成される。これら外部電極12は、図示しないが、内部回路要素に電気的に接続されている。

【0025】上述したような外部電極12は、以下に述べる製造方法の説明から明らかにするように、絶縁性シートに設けられかつ導電材が充填されたビアホールの少なくとも側部を絶縁性シートの切斷によって露出させることによって形成されたものである。また、積層体11のたとえば4つの側面の各々には、段差13が形成されているが、このような段差13が形成される理由も、以下の製造方法の説明から明らかにする。

【0026】上述したような積層電子部品10を得るため、図2に示すようなマザー積層体14が用意される。マザー積層体14は、所定の切斷線15（一点鎖線）に沿って切斷することにより複数の積層電子部品10を与えるものであって、切斷線15によって区画される各領域に個々の積層電子部品10のための内部回路要素（図示せず）を分布させるように、これら内部回路要素を介在させた状態で複数のマザー絶縁性シート16および17が積層されてなるものである。このマザー積層体14には、図示しない内部回路要素と電気的に接続される導電材18が充填されたビアホール19が、切斷線15に沿う切斷によって分断される位置に設けられている。図1に示した外部電極12は、これらビアホール19内の導電材18によって与えられる。

【0027】上述のようなマザー積層体14を得るため、たとえば、以下のような工程が実施される。なお、この実施例では、マザー絶縁性シート16および17は、セラミックシートから構成される。

【0028】まず、ドクターブレード法などにより、シート成形を行ない、マザー絶縁性シート16および17



となるべきセラミックグリーンシートを得る。これらセラミックグリーンシートの特定のものは、シートを厚み方向に貫通する電気的導通を可能とするため、ビアホールがパンチング等により形成される。このとき、図2において比較的内部に位置するマザー絶縁性シート16となるべきセラミックグリーンシートには、ビアホール19がさらに形成される。次に、セラミックグリーンシートの特定のものの上には、内部回路要素となるべき導電膜および/または抵抗膜が印刷される。このとき、既に形成されたビアホール内に、導電材が充填される。図示したビアホール19には、導電材18が充填される。導電膜の印刷を、図2に示したマザー絶縁性シート16の下面側から行なえば、マザー絶縁性シート16の上面側において、導電材18がビアホール19の周縁部に導電ランドを形成することを防止できる。なお、このような導電ランドが形成されても、この発明の範囲内に入ることを指摘しておく。

【0029】次に、上述したようなマザー絶縁性シート16および17が積み重ねられ、プレスされる。これによって、マザー積層体14が得られる。このマザー積層体14において、複数のマザー絶縁性シート16の各々に設けられたビアホール19は、厚み方向に整列し、したがって、各ビアホール19内に充填された導電材18は、直列に連なった状態となっている。

【0030】次に、図3に示すように、マザー積層体14には、少なくともビアホール19がたとえば分断されるように、切断線15（図2）に沿って溝20がたとえバダイシングゾーによって形成される。この溝20の形成によって、溝20の内側面にビアホール19が露出する状態となるとともに、ビアホール19内の導電材18が分断され、溝20によって囲まれた個々の積層電子部品10となるべき部分は、互いに他のものに対して電気的に独立した状態となる。また、好ましくは、溝20の底面とそれに対向するマザー積層体14の下面とに、それぞれ、スリット21および22が形成される。スリット21および22は、いずれか一方が省略されてもよい。

【0031】なお、図3において、内部回路要素となるべき幾つかの導電膜23および24が図示されている。また、導電膜23が導電材18に電気的に接続されている状態も図示されている。

【0032】次に、マザー積層体14は、マザー絶縁性シート16および17を構成するセラミックを焼結させるため、焼成される。その後、必要に応じて、マザー積層体14の表面に、導電膜および/または抵抗膜が形成され、また、オーバーコートが施され、また、ソルダレジストが付与される。また、必要に応じて、外部電極3となるべき導電材18や他の導電膜にめっきが施される。

【0033】以上の工程を終えたとき、マザー積層体1

4に含まれる複数の積層電子部品10は、互いに他のものに対して電気的に独立している。溝20によって分断されたビアホール19の各部分に存在する導電材18を外部電極として、個々の積層電子部品10の特性を測定することができる。

【0034】このように、特性が測定された後、良品と判断された積層電子部品10上には、必要に応じて、複合化のための他の電子部品が実装される。ここま述べた工程が、マザー積層体14の状態で能率的に行なわれることができる。なお、積層電子部品10の出荷やその段階で行なってもよい。

【0035】次に、機械的に独立した複数の積層電子部品10を得るため、マザー積層体14は、切断線15（図2）すなわち溝20（図3）に沿って完全に切断される。この切断は、チョコレート割るのように、マザー積層体14を溝20に沿って割ることによって容易に達成される。前述したスリット21および22は、このような分割をより容易にする。

【0036】このようにして、図1に示した積層電子部品10が得られる。以上述べた説明からわかるように、段差13は、前述した溝20の形成の結果もたらされたものである。また、積層体11を、段差13の位置に対応する境界面によって上半部と下半部とに区分したとき、外部電極12は、上半部においてのみ露出している。

【0037】次に、積層電子部品10は、必要に応じて、ケーシングされる。このケーシングは、積層電子部品10の図1による下面に他の部品が実装されたとき、これを覆うものである。このケーシングの詳細は、図13および図14を参照して後述する。

【0038】以上、この発明を図1ないし図3に図示した実施例に関連して説明したが、この発明の範囲内において、その他幾つかの変形例が可能である。

【0039】たとえば、図1では、外部電極12が、積層体11の側面だけでなく、図1による上面にも露出するように形成されたが、図4に示した積層電子部品10aのように、外部電極12aが積層体11の側面にのみ露出するように形成されてもよい。なお、図4において、図1に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0040】図4に示した積層電子部品10aによれば、積層体11の図による下面だけでなく、上面をも、外部電極12aに干渉されることなく、複合化のための他の部品の実装面として広く利用することができる。この積層電子部品10aを得るためには、図2に示したマザー積層体14の製造段階において、マザー積層体14の最上部に位置する何枚かのマザー絶縁性シートに外部電極形成用のビアホール19が設けられないものを用いばよい。

【0041】上述した積層電子部品10aは、図5に示



すように、回路基板 3 1 上に置かれたとき、回路基板 3 1 と外部電極 1 2 a との間でギャップが形成される。このような状態で、回路基板 3 1 上に積層電子部品 1 0 a を実装する場合、回路基板 3 1 上の導電ランド (図示せず) と外部電極 1 2 a とを電気的に接続するため、半田フリット 3 2 が有利に用いられる。

【0042】また、図 6 に示すように、積層電子部品 1 0 a において、外部電極 1 2 a に対して金属からなる端子部材 3 3 を取付けてもよい。

【0043】なお、図 1 に示した態様の外部電極 1 2 と図 4 に示した態様の外部電極 1 2 a とを、1 個の積層電子部品に混在させてもよい。

【0044】また、図 1 ないし図 3 に示した実施例において、外部電極 1 2 を与えるためのビアホール 1 9 は、断面が円形とされたが、四角形等の他の形状に変更されてもよい。また、外部電極を、より広い面積で露出させるようにするため、1 つの外部電極を、断面の一部が互いに重なり合った複数のビアホールつまり横長のビアホールによって与えるようにしてもよい。

【0045】また、溝 2 0 やスリット 2 1、2 2 の形成は、マザー積層体 1 4 の焼成後に行なってもよい。また、焼成後の積層体 1 4 の導電膜/抵抗膜の形成またはめっき、特性測定等の態様を考慮しないならば、切断線 1 5 に沿う切断を焼成前に行ない、機械的に分離された状態で、積層電子部品 1 0 の焼成を行なってもよい。また、焼成後において、溝 2 0 を形成する段階を経ることなく、一挙に切断線 1 5 に沿う切断を行なってもよい。

【0046】また、ビアホール 1 9 内に充填される導電材 1 8 は、導電膜の印刷と同時に付与されることなく、別の工程で、ビアホール 1 9 内に金属ペーストを充填するようにしてもよい。この場合、図 1 ないし図 3 に示した実施例では、複数のマザー絶縁性シート 1 6 が積み重ねられた状態で、直列する複数のビアホール 1 9 内に一挙に導電材 1 8 を充填することも可能である。

【0047】また、絶縁性シートは、セラミックシートに限らず、他の材料からなる絶縁性シートに置き換えられてもよい。

【0048】また、図 7 に示した積層電子部品 1 0 b のように、外部電極 1 2 b が、ビアホール 1 9 (図 2 および図 3) の内周面上に層状に形成された導電材をもって与えられてもよい。この場合、外部電極 1 2 b は、その外表面に凹部を形成する。

【0049】また、この発明は、複数の外部電極のすべてがビアホールに基づいて形成された積層電子部品に限らず、外部電極の幾つかが他の方法によって形成された積層電子部品にも適用することができる。

【0050】たとえば、図 8 に示した積層電子部品 1 0 c のように、幾つかの外部電極 1 2 をビアホールに基づき形成しながら、他の外部電極、たとえばシールド電極 2 5 を別の方法で形成してもよい。このシールド電極 2

5 は、たとえば、図 3 に示すように溝 2 0 を形成するとき、シールド電極 2 5 が形成されべき面を内側面とする溝 2 0 をまず形成した後、この溝 2 0 内に金属ペーストを充填するように注入し、最終的に、金属ペーストによって与えられた導電材が分離されるように、溝 2 0 を再びカットすることにより形成される。このシールド電極 2 5 は、図示しないが、積層体 1 1 のアース側内内部回路要素と電気的に接続されることが多い。

【0051】上述したシールド電極 2 5 は、もちろん、ビアホールに基づき形成されてもよい。この場合、ビアホールとしては、シールド電極 2 5 の延びる方向に長手のスロット状のものが形成される。また、シールド電極 2 5 は、個々の独立した積層電子部品 1 0 c を得てから形成されてもよい。

【0052】図 9 に示すように、シールド電極 2 5 a は、それらによるシールド性能を高めるため、段差 1 3 の下方にまで延びるように形成されてもよい。このようなシールド電極 2 5 a は、たとえば次のような方法で形成することができる。

【0053】(a) シールド電極 2 5 a 全体を、ビアホールに基づき形成する。

(b) シールド電極 2 5 a のうち、段差 1 3 を境とする下半部のみをビアホールに基づき形成し、上半部は、図 3 に示した溝 2 0 に金属ペーストを充填することによって形成する。

【0054】(c) 上半部を、溝 2 0 内に金属ペーストを充填することにより形成し、個々の独立した積層電子部品 1 0 a を得てから、下半部を形成する。

【0055】(d) 上半部をビアホールに基づき形成し、個々の独立した積層電子部品 1 0 d を得てから、下半部を形成する。

【0056】(e) シールド電極 2 5 a 全体を、個々の独立した積層電子部品 1 0 d を得てから形成する。

【0057】上述したシールド電極 2 5 a の形成方法のうち、(a) または (b) の方法を採用した場合、図 3 に示した溝 2 0 を形成した段階では、複数の積層電子部品 1 0 d は、シールド電極 2 5 a を介して互いに電気的に接続された状態であり、複数の積層電子部品 1 0 d が完全に電気的に独立した状態とはなっていない。しかしながら、このようなシールド電極 2 5 a は、特性測定に際してアース電極として共通に用いられるものである場合、前述したようなマザー積層体 1 4 の状態での個々の積層電子部品 1 0 d の特性測定には支障をきたさない。

【0058】図 9 に示した積層電子部品 1 0 d で、シールド電極 2 5 a の存在により、積層体 1 1 の下面に与えられる他の部品のための実装面積が狭められることがある。この不都合を回避するためには、図 1 0 に示した積層電子部品 1 0 e のように、シールド電極 2 5 b を、積層体 1 1 の図による下面にまで届かないように形成すればよい。



【0059】図8ないし図10に示したシールド電極25、25aおよび25bのそれぞれの形成態様に関して、シールド電極の上半部は、積層体11の単に1つの側面上に形成されても、3つの側面上に形成されてもよい。シールド電極の下半部は、積層体11の3つの側面または4つの側面上に形成されてもよい。また、図8では、シールド電極の上半部に相当するシールド電極25のみが形成されたが、シールド電極の下半部に相当するシールド電極のみが形成されてもよい。

【0060】さらに、図11に示す積層電子部品10fのように、シールド電極25cで、積層体11の1つの側面の幅方向の一部のみを覆うように形成されてもよい。

【0061】上述した各実施例では、1つのビアホール19が分断されることにより、2つの積層電子部品10の各々のための外部電極12が形成された。しかしながら、図3に示した溝20の幅が、ビアホール19の径の相当の部分を含める場合には、図12に示すように、1個のビアホール19aにより1個の外部電極を与えるようにしてもよい。図12において、溝20が形成される前のビアホール19aの一部が二点鎖線で示されている。

【0062】図13には、ケース41によってケーシングされた積層電子部品42が断面図で示されている。

【0063】積層電子部品42に備える積層体43には、段部44が形成され、この段部44の下方には、外部電極45が形成される。また、積層体43の図による上面には、この積層電子部品42を複合化するためのいくつかの電子部品46が実装されている。ケース41は、金属からなる。ケース41は、積層体43の側面に適合するように、段部47を形成して、外部電極45にたとえ半田付けされる。

【0064】図14には、ケース41aによってケーシングされた他の積層電子部品42aが示されている。なお、図14において、図13に示した要素に相当する要素には、同様の参照符号を付し、重複する説明は省略する。

【0065】図14では、積層電子部品42aに備える積層体43には、段部44だけでなく、もう1つの段部48が形成される。他方、ケース41aには、段部48に結合する段部49が形成される。このように、積層体43の段部48にケース41aの段部49を係合させることにより、ケース41aの積層体43に対する取付け状態がより強固になる。特に、ケース41aの上面に向かって、これを下方へ押付ける力が加わっても、ケース41aと外部電極45との接合が外れることがない。このようなケース41aを下方へ押付ける力は、たとえば、この積層電子部品42aを、ケース41aの上面に吸着して保持する真空吸引チャック（図示せず）からしげば与えられる。積層体43に形成される段部48

は、段部44と同様の方法により形成されることができ。すなわち、図3に示したマザー-積層体14の段階で、溝20に対応する位置に下方から同様の溝を形成しておけばよい。

#### 【図面の簡単な説明】

【図1】この発明の一実施例による積層電子部品10の外観を示す斜視図である。

【図2】図1に示した積層電子部品10を得るために準備されるマザー-積層体14を示す斜視図である。

【図3】図2に示したマザー-積層体14に、特性測定を可能とする溝20が形成された状態を示す拡大斜視図である。

【図4】この発明の他の実施例による積層電子部品10aの外観を示す斜視図である。

【図5】図4に示した積層電子部品10aを回路基板31上に実装した状態を示す断面図である。

【図6】図4に示した積層電子部品10aに端子部材33を取付けた状態を示す断面図である。

【図7】この発明のさらに他の実施例による積層電子部品10bの外観を示す斜視図である。

【図8】この発明のさらに他の実施例による積層電子部品10cの外観を示す斜視図である。

【図9】この発明のさらに他の実施例による積層電子部品10dの外観を示す斜視図である。

【図10】この発明のさらに他の実施例による積層電子部品10eの外観を示す斜視図である。

【図11】この発明のさらに他の実施例による積層電子部品10fの外観を示す斜視図である。

【図12】この発明のさらに他の実施例を説明するためのマザー-積層体14の一部を示す平面図である。

【図13】この発明のさらに他の実施例によるケーシングされた積層電子部品42を示す断面図である。

【図14】この発明のさらに他の実施例によるケーシングされた積層電子部品42aを示す断面図である。

【図15】従来の積層電子部品1の外観を示す斜視図である。

【図16】従来の他の形式の積層電子部品4の外観を示す斜視図である。

#### 【符号の説明】

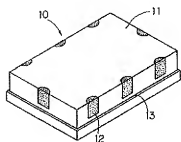
10、10a、10b、10c、10d、10e、10f、42、42a 積層電子部品  
11、43 積層体  
12、12a、12b、45 外部電極  
13、44、47、48、49 段部  
14 マザー-積層体  
15 切断線  
16、17 マザー-絶縁性シート  
18 導電材  
19、19a ビアホール  
20 溝



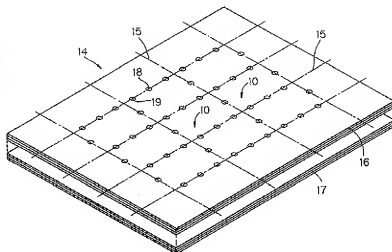
23, 24 導電膜 (内部回路要素)  
25, 25a, 25b, 25c シールド電極

41, 41a ケース

【図1】



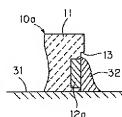
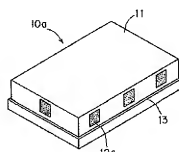
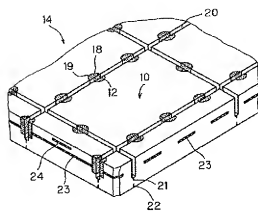
【図2】



【図3】

【図4】

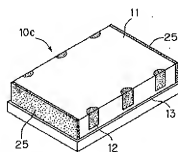
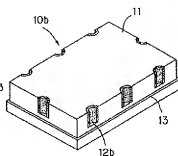
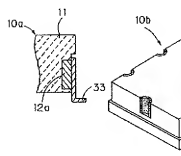
【図5】



【図8】

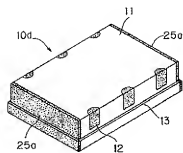
【図6】

【図7】



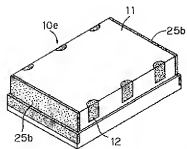


【图 9】



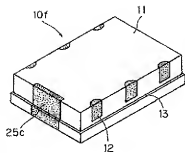
【图 12】

【图 10】

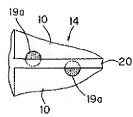


【图 13】

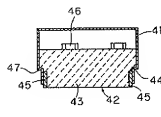
【图 11】



【图 14】



【图 15】



【图 16】

